

VLSI とシステムの設計技術に関するアジア・南太平洋地区最大の国際会議です。最新の研究成果について、基礎から応用までを広範な学術論文とチュートリアルでカバーします。今回は、現場の設計者向けに“Designers' Forum”を新設。是非、多数の皆様にご参加をいただけますよう、ご案内申し上げます。詳細は、ホームページにて。

基調講演

1月25日(水)9:00-10:00 基調講演
 「自動車のエレクトロニクス ~ たゆまぬ成長の行方」
 サンジョバンニ・ビンセンテリ氏 カリフォルニア大学バークレー校 教授

1月26日(木)9:00-10:00 基調講演
 「デバイス・イノベーションを起こす」
 伊藤 達 氏 株式会社ルネサステクノロジ 社長&CEO

1月27日(金)9:00-10:00 基調講演
 「大規模システムのプラットフォームベース開発」
 丹羽 雄吉 氏 キヤノン株式会社 常任理事

デザイナーズ・フォーラム: パネルセッション

1月26日(木)16:30-18:00
 「機能検証の今日と将来」
 オーガナイザー 田胡 治之 氏 (東芝)
 モデレーター 増淵 美生 氏 (東芝)
 パネリスト 住岡 徹次 氏 (ソニー)
 鳥居 淳 氏 (NEC)
 Sanjay Gupta (IBM)
 Michael Stellfox (Cadence)

1月27日(金)16:30-18:00
 「LSI 設計の10大課題: LSI 設計者およびEDA 開発者の観点から」
 オーガナイザー 田胡 治之 氏 (東芝)
 モデレーター 萩原 良昭 氏 (ソニー)
 パネリスト 谷 泰弘 氏 (キヤノン)
 田口 浩文 氏 (松下電器)
 Soo-Kwan Eo (Samsung)
 Ted Vucurevich (Cadence, CTO)
 Raul Camposano (Synopsys, CTO)
 Joe Sawicki (Mentor, VP & GM)

デザイナーズ・フォーラム: 論文セッション

1月26日(木)13:30-15:30 Low Power Design
 5D-1: Low-Power Design Methodology for Module-wise Dynamic Voltage and Frequency Scaling with Dynamic De-skewing Systems (東芝)
 5D-2: Single-Chip Multi-Processor Integrating Quadruple 8-Way VLIW Processors with Interface Timing Analysis Considering Power Supply Noise (富士通)
 5D-3: A System-level Power-estimation Methodology based on IP-level Modeling, Power-level Adjustment, and Power Accumulation (日立 ルネサス)
 5D-4: PowerVIP: SoC Power Estimation Framework at Transaction Level (サムソン)

1月27日(金)13:30-15:30 'Cell' Processor
 8D-1: A New Test and Characterization Scheme for 10+ GHz Low Jitter Wide Band PLL (東芝, IBM)
 8D-2: An SPU Reference Model for Simulation, Random Test Generation and Verification (東芝)
 8D-3: A Cycle Accurate Power Estimation Tool (IBM)
 8D-4: Key Features of the Design Methodology Enabling a Multi-Core SoC Implementation of a First-Generation CELL Processor (IBM, 東芝, ソニー)

特別セッション

1D: University LSI Design Contest (19 presentations from seven countries/areas)
 2D: Electrothermal Design of Nanoscale Integrated Circuits (4 Papers: Univ. of Minnesota, UCSB, Northwestern Univ. and Purdue Univ.)
 3D: Flash Memory in Embedded Systems (2 Papers: Seoul National Univ. and National Taiwan Univ.)
 4D: Open Access Overview (4 Papers: Cadence, Renesas, Sagantec, and Univ. of Michigan)
 7D: H.264/AVC Design Challenges and Solutions (4 Papers and Panel: National Taiwan Univ., Taiwan and Ajo Univ., Korea)

その他の注目セッション

1A: Formal Methods for Coverage and Scalable Verification (5 Papers: Waseda Univ., Toshiba, MRC Iran, IIT Kharagpur, Univ. of Michigan, UCSB)
 2A: Software Techniques for Efficient SoC Design (5 Papers: Pennsylvania State Univ., Stanford Univ., Philips, Seoul National Univ.)
 4B: Leading Edge Design Methodology for SoCs and SiPs (5 Papers: TIMA Lab., Hiroshima City Univ., Kyushu Institute of Tech., Naval Postgraduate School, UCLA, Pennsylvania State Univ., INTA Spain, UCM Spain)
 5C: High Frequency Interconnect Effects in Nanometer Technology (5 Papers: Univ. of Texas, Purdue Univ., Kyoto Univ., Osaka Univ., Tsinghua Univ. China, Synopsys, Univ. of Minnesota)
 6B: Advanced Memory and Processor Architectures for MPSoC (5 Papers: Seoul National Univ., Waseda Univ., Toyota, Toshiba, National Chiao Tung Univ., Univ. of Trondheim, IMEC, Univ. of Trondheim, Univ. of New South Wales)
 7C: Statistical and Yield Analysis (5 Papers: NEC-EL, Purdue Univ., Univ. of Arizona, UC. Santa Cruz, Nannor Tech.)

チュートリアル 1月24日(火)

65nm 以降のDFM ツールと設計手法 (4 speakers: Andrew B. Kahng (UCSD), Louis K. Scheffer (Cadence) Michael Orshansky (Univ. of Texas at Austin), and Andrzej Strojwas (PDF Solutions, Inc.))
 高性能指向の配線とパッケージング (6 speakers: Paul M. Harvey (IBM), Howard Chen (IBM), Chung-Kuan Cheng (UCSD), Manjid Borah (Fastrack), Lei He (UCLA), and Sheldon Tan (UC Riverside))
 ナノメータ時代の低消費電力・低リーク技術: システムレベル及びアーキテクチャレベル・アプローチ (2 speakers: 入江 直彦 (日立), 中村 宏 (東京大学))
 ナノメータ時代の低消費電力・低リーク技術: 回路レベル及びデバイスレベル・アプローチ (2 speakers: 宇佐美 公良 (芝浦工業大学), 最上 徹 (NEC))
 機能検証手法の基礎と実際 (2 speakers: 浜口 清治 (大阪大学), Erich Marschner (Cadence))
 システムオンチップ通信アーキテクチャ: 実践・理論・今後のトレンド (2 speakers: Nikil Dutt (UC Irvine) and Sudeep Pasricha (UC Irvine))